

## (54) VOLTAGE CONTROLLED OSCILLATOR

(11) 4-249409 (A) (43) 4.9.1992 (19) JP

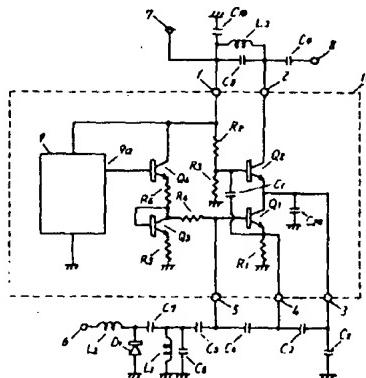
(21) Appl. No. 3-15171 (22) 6.2.1991

(71) MATSUSHITA ELECTRIC IND CO LTD (72) ICHIRO KOYAMA(1)

(51) Int. Cl<sup>s</sup>. H03B5/12

**PURPOSE:** To obtain a compact, low current consumption voltage controlled oscillator that has high C/N and highly stable output, and that is suitable for being fabricated into an IC for use in a mobile communication apparatus such as codeless telephone.

**CONSTITUTION:** The present voltage controlled oscillator is a cascade type oscillator that is connected to the collector of transistor  $Q_1$  for oscillation, and to the emitter of transistor  $Q_2$  for buffer amplifier to realize high frequency grounding, wherein by connecting a temperature compensating circuit that can be obtained from the output voltage of a constant voltage circuit to the base terminal of the transistor  $Q_2$ , a voltage controlled oscillator can be obtained that can be fabricated into an IC, that is operated by low current, and that can produce highly stable output.



9: constant voltage circuit

## (54) NEGATIVE FEEDBACK AMPLIFIER

(11) 4-249410 (A) (43) 4.9.1992 (19) JP

(21) Appl. No. 3-14654 (22) 6.2.1991

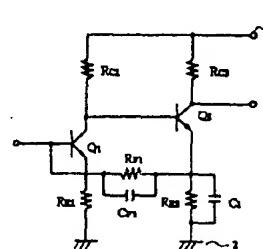
(71) NEC YAMAGATA LTD (72) MITSUHIRO MURAOKA

(51) Int. Cl<sup>s</sup>. H03F1/34

**PURPOSE:** To stabilize the impedance of a negative feedback amplifier over a wide band by installing a capacitor in parallel with feedback resistance of the negative feedback.

**CONSTITUTION:** A collector resistor  $R_C$ , an NPN bipolar transistor  $Q_1$ , an emitter resistor  $R_E$ , a feedback resistor  $R_F$ , and an emitter peaking capacitor  $C_1$  are connected as predetermined between power supply terminal 1 and ground terminal 2, and further, to a capacitor  $C_F$  is connected with the  $R_F$  in parallel. The input impedance in a frequency band in which the effect of peaking capacity  $C_1$  is calculated by using current amplification factor  $\beta$  of  $Q_1$  and  $Q_2$ , and current amplification factor  $A_{10}$  of the circuit, and the parallelism between  $R_{E2}$  and  $C_1$  increases input impedance  $Z_{in}$ . Then, a parallel circuit of  $R_{E1}$  and  $C_{F1}$  decreases its impedance following up the parallel circuit of  $R_{E2}$  and  $C_1$ , thereby enabling input impedance  $Z_{ic}$  to be kept low even in a high frequency band.

$$Z_{ic} = \frac{\beta \cdot R_{E1}}{R_{E2} \parallel \frac{1}{\omega C_1} \parallel \frac{1}{R_{E1} \parallel \frac{1}{\omega C_{F1}} + R_{E2} \parallel \frac{1}{\omega C_1}} \cdot A_{10}}$$



## (54) SIGNAL SMOOTHING METHOD

(11) 4-249412 (A) (43) 4.9.1992 (19) JP

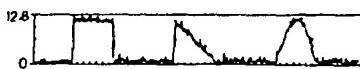
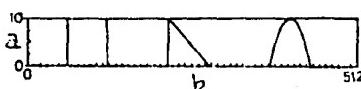
(21) Appl. No. 3-35035 (22) 6.2.1991

(71) KAIJO CORP (72) ATSUSHI OSAWA

(51) Int. Cl<sup>s</sup>. H03H17/00, H04N1/40

**PURPOSE:** To suppress noise regardless of whether it is white noise or pulse noise, without loosing edge component of an observation signal.

**CONSTITUTION:** A processing window  $W_{2N+1}$  including  $(2N+1)$  observation time points is provided taking an observation time point  $k$  at the center thereof. The average value  $X_{MEAN}(k)$  of signal levels of processing window  $W_{2N+1}$  is obtained. Observation level  $X(i)$  is compared with the average value  $X_{MEAN}(k)$ , and based on the result, the number of groups  $K_A$  of group A of small signal levels and the number of groups  $K_B$  of group B of large signal levels are obtained from average value  $X_{MEAN}(k)$ , respectively. If  $|K_A - K_B| \leq \alpha$ , the median  $X_{MED}(k)$  in the processing window  $W_{2N+1}$  is taken as a smoothen output, if  $|K_A - K_B| > \alpha$ , the average value  $X_A$  of signal levels of group A and the average value  $X_B$  of signal levels of group B are obtained, respectively, if  $|X_A - X_B| > \beta$ , median  $X_{MED}(k)$  is taken as a smoothen output, and if  $|X_A - X_B| \leq \beta$ , average value  $X_{MEAN}(k)$  is taken as a smoothen output.





(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平4-249409

(43)公開日 平成4年(1992)9月4日

(51)Int.Cl.  
H 03 B 5/12

識別記号 庁内整理番号  
G 9182-5 J

F I

技術表示箇所

審査請求 未請求 請求項の数1(全3頁)

(21)出願番号 特願平3-15171

(22)出願日 平成3年(1991)2月6日

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(73)発明者 小山一郎

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72)発明者 大倉直人

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(74)代理人 弁理士 小畠治明 (外2名)

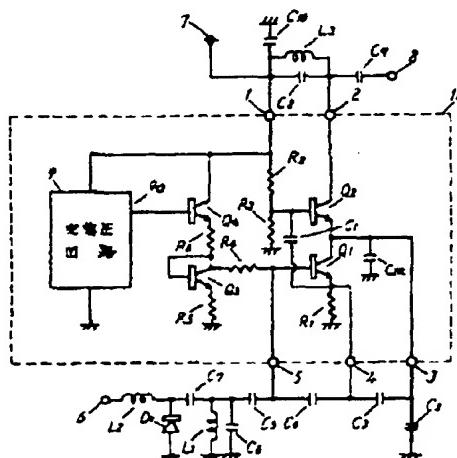
(54)【発明の名称】 電圧制御発振器

(57)【要約】

【目的】 コードレス電話等の移動体通信機器に使用される電圧制御発振器において、小型、低消費電流で、高C/N、高安定出力を有するIC化に適した構成の電圧制御発振器の提供を目的とする。

【構成】 発振用トランジスタQ<sub>1</sub>のコレクタと、バッファ增幅器用トランジスタQ<sub>2</sub>のエミッタを接続して高周波的に接地するカスケード型発振器で、トランジスタQ<sub>1</sub>のベース端子に、定電圧回路の出力電圧から得られる温度補償回路を接続することにより、IC化されて低電流で高安定出力を有する電圧制御発振器が得られる。

1.7...電源端子  
2,3...コレクタ端子  
4...エミッタ端子  
5...ベース端子  
6...電圧制御端子  
8...地端子  
10 IC封止部  
Q1-Q4...トランジスタ  
Q<sub>5</sub>,Q<sub>6</sub>...温度補償回路  
D<sub>1</sub>-D<sub>4</sub>...ダイオード  
R<sub>1</sub>-R<sub>8</sub>...抵抗  
C<sub>1</sub>-C<sub>6</sub>...コンデンサ  
L<sub>1</sub>-L<sub>4</sub>...インダクタンス



1

## 【特許請求の範囲】

【請求項1】発振用の第1トランジスタのコレクタとバッファ増幅器用の第2トランジスタのエミッタを接続して高周波的に接地するカスケード型発振器の前記第1トランジスタのベース端子にバイアス温度補償回路を接続してなる電圧制御発振器。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、コードレス電話等の移動体通信機器に用いられる電圧制御発振器に関するものである。

## 【0002】

【従来の技術】近年、コードレス電話等の移動体通信機器では小型、軽量化、および低消費電流化が要望されており、機器の性能を左右する電圧制御発振器についても、これらの要望は高まっている。

【0003】以下に従来の電圧制御発振器について図面を用いて説明する。図2は従来の電圧制御発振器の具体的な回路の一例を示す回路図であり、図2において、空心コイルL<sub>1</sub>、コンデンサC<sub>1</sub>、C<sub>2</sub>、C<sub>3</sub>およびバリキャップダイオードD<sub>1</sub>で形成される共振回路を用いて、トランジスタQ<sub>1</sub>をコレクタ接地型でエミッタから出力を取り出すコルピツ型発振器として構成され、このコルピツ型発振器からの発振出力をトランジスタQ<sub>2</sub>を用いたエミッタ接地型バッファ増幅器を介して取出す構成となっていた。

【0004】なおR<sub>1</sub>～R<sub>4</sub>は抵抗、C<sub>1</sub>～C<sub>6</sub>はコンデンサ、L<sub>1</sub>～L<sub>3</sub>はインダクタンスである。また6は電圧制御端子、7は電源端子、8は発振出力端子を示すものである。

## 【0005】

【発明が解決しようとする課題】しかしながら上記従来例の構成では、発振部とバッファ増幅部の各々に電流が流れているため、低消費電流化には限界があった。また、小型、軽量化のためにIC化しようとしても、IC化の利点を十分に生かすことが困難であるなどの課題を有していた。

【0006】本発明は上記従来の課題を解決するもので、IC化を行い小型、低消費電流で高C/Nを有する電圧制御発振器を提供することを目的とする。

## 【0007】

【課題を解決するための手段】上記課題を解決するために本発明の電圧制御発振器は、発振用の第1トランジスタのコレクタとバッファ増幅器用の第2トランジスタのエミッタを接続して高周波的に接地するカスケード型発振器の上記第1トランジスタのベース端子にバイアス温度補償回路を接続する構成としたものである。

## 【0008】

【作用】この構成によって、発振用第1トランジスタと、バッファ増幅器用第2トランジスタに流れる電流経

2

路が同一となり低電流化が図れると共に、第1トランジスタのベースバイアスにバイアス温度補償をすることで、IC化に適した電圧制御発振器を構成することができる。

## 【0009】

【実施例】以下、本発明の一実施例について図面を参照しながら説明する。図1は本発明によりIC化された電圧制御発振器の具体的な回路の一例を示す回路図である。なお、図1において、前記図2と同じ作用の部品は同一符号を付与して説明する。また、図中点線内はIC化を行った部分を示すものである。

【0010】図1において発振用トランジスタQ<sub>1</sub>のコレクタとバッファ増幅器用トランジスタQ<sub>2</sub>のエミッタを接続して、接地用コンデンサC<sub>1</sub>、C<sub>2</sub>、(C<sub>3</sub>)はIC化のための容量を示す)を接続することにより、発振器はコレクタ接地型となり、バッファ増幅器はエミッタ接地型となる。

【0011】発振部については、トランジスタQ<sub>1</sub>のコレクタ端子3とエミッタ端子4の間に帰還容量C<sub>1</sub>、エミッタ端子4とベース端子5の間に帰還容量C<sub>2</sub>を接続すると共に、ベース端子5に、空心コイルL<sub>1</sub>、コンデンサC<sub>3</sub>～C<sub>5</sub>およびバリキャップダイオードD<sub>1</sub>等で形成される共振回路を接続し発振出力をトランジスタQ<sub>1</sub>のエミッタから取出し、IC化容量C<sub>6</sub>を介してトランジスタQ<sub>2</sub>のベースに入力される。

【0012】バッファ増幅器についてはトランジスタQ<sub>2</sub>のコレクタ端子2と電源端子1の間にコイルL<sub>2</sub>とコンデンサC<sub>6</sub>で形成される出力同調回路が接続され、結合容量C<sub>7</sub>を介して、出力端子8より出力される。バイアス供給については、IC化定電圧回路(バンドギャップ回路)9の出力端子9aの基準電圧から、トランジスタQ<sub>3</sub>、Q<sub>4</sub>および抵抗R<sub>1</sub>～R<sub>4</sub>で形成されるバイアス温度補償回路を介してトランジスタQ<sub>1</sub>のベースバイアスを供給している。トランジスタQ<sub>2</sub>のベースバイアスは抵抗ブリーダ形式で供給している。

【0013】以上のようにIC化して構成された電圧制御発振器では、発振用トランジスタQ<sub>1</sub>とバッファ増幅器用トランジスタQ<sub>2</sub>に流れる電流が同一経路になるため、従来例に比べて半分の消費電流となる。またIC化を図ったバイアス温度補償回路でバイアス供給することにより、トランジスタQ<sub>1</sub>、Q<sub>2</sub>に流れる電流を一定にすることができ、発振出力レベルが安定化される。

【0014】また、このように構成されたカスケード型発振器では、トランジスタQ<sub>1</sub>のコレクタ接地点に雑音がのりやすく、C/N劣化が問題となる場合があるが、本実施例ではトランジスタQ<sub>1</sub>、Q<sub>2</sub>等で増幅される雑音のうち、同相成分の雑音がトランジスタQ<sub>1</sub>のコレクタにのることを防ぐため、トランジスタQ<sub>1</sub>およびQ<sub>2</sub>の各々のベースは別バイアス供給とし、抵抗ブリーダ形式として解消している。

【0015】なお、本実施例で300MHz帯電圧制御発振器として、3V、4mAで、発振出力-3dBm、C/N 75dB/8kHz：難調周波数1.2、5kHz等の性能を得ることができた。

【0016】

【発明の効果】以上のように本発明による電圧制御発振器は、発振用トランジスタのコレクタとバッファ增幅器用トランジスタのエミッタを接続して高周波的に接地するカスケード型発振器の、発振用トランジスタのベース端子に温度補償バイアスを供給することにより、低電流化され、電源変動および温度変動による発振出力の安定化が可能となり、高C/NでIC化に適した電圧制御発振器を実現することができ工業的価値の大なるものである。

【図面の簡単な説明】

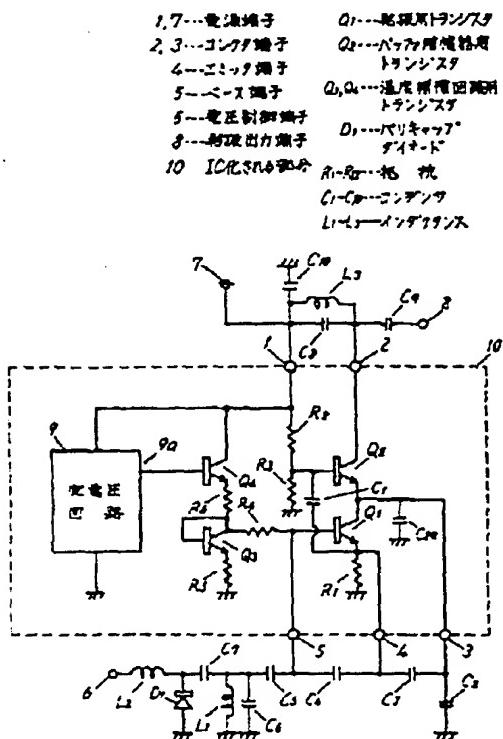
【図1】本発明の一実施例における電圧制御発振器の構成を示す回路図

【図2】従来の電圧制御発振器の構成を示す回路図

【符号の説明】

- Q<sub>1</sub> 発振用トランジスタ
- Q<sub>2</sub> バッファ増幅器用トランジスタ
- Q<sub>3</sub>、Q<sub>4</sub> 温度補償回路用トランジスタ
- D<sub>1</sub> パリキャップダイオード
- R<sub>1</sub>～R<sub>10</sub> 抵抗
- C<sub>1</sub>～C<sub>10</sub> コンデンサ
- L<sub>1</sub>～L<sub>5</sub> インダクタンス
- 1 電源端子
- 2、3 コレクタ端子
- 4 エミッタ端子
- 5 ベース端子
- 6 電圧制御端子
- 7 電源端子
- 8 発振出力端子
- 9 定電圧回路
- 10 IC化される部分

【図1】



【図2】

